

---

(19)

---

**KOREAN INTELLECTUAL PROPERTY OFFICE**

**KOREAN PATENT ABSTRACTS**

(11)Publication  
number:

**1020020038013**

**A**

(43)Date of publication of application:  
**23.05.2002**

(21)Application  
number:

**1020000068050**

(71)Applicant:

**SAMSUNG  
ELECTRONICS CO.,  
LTD.**

(22)Date of filing:

**16.11.2000**

(72)Inventor:

**CHOI, CHANG HWAN**

(51)Int. Cl

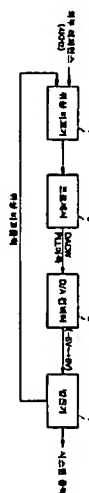
**H03L 1/00**

---

**(54) METHOD FOR REDUCING OSCILLATOR CALIBRATION PERIOD OF 2 HIERARCHY  
NETWORK SYNCHRONIZER**

(57) Abstract:

**PURPOSE:** A method for reducing an oscillator calibration period of 2 hierarchy network synchronizer is provided, which operates a network smoothly by increasing an oscillator calibration period, by controlling an output of an oscillator by selecting the most efficient gain value by increasing the calibration period at maximum adjusting a natural frequency of the oscillator. **CONSTITUTION:** A PLL(Phase Locked Loop) processor block stores a result of a phase comparator(1) in a memory at every 250 ms to synchronize an output(system clock) of an oscillator(4) to an external reference(4kHz), and reads data from a processor(2) at every 128 ms and then inputs the data to a D/A(Digital/Analog) converter(3) according to an adjusted gain of 8.912 sec. Then the D/A converter controls an output of the oscillator as 32.768MHz $\pm$ 0.524288 by applying an analog output value(-5V-+5V) corresponding to input data(0-65536). At this time, the processor operates in a fast mode initially and then operates in a normal mode after synchronizing the output of the oscillator to the external reference.



copyright KIPO 2002

Legal Status

Date of request for an examination (20001116)

Notification date of refusal decision (00000000)

Final disposal of an application (rejection)

Date of final disposal of an application (20030217)

Patent registration number ( )

Date of registration (00000000)

Number of opposition against the grant of a patent ( )

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ( )

Date of requesting trial against decision to refuse ( )

(19) 대한민국특허청 (KR)  
(12) 공개특허공보 (A)

(51) . Int. Cl. <sup>7</sup>  
H03L 1/00

(11) 공개번호 특2002 - 0038013  
(43) 공개일자 2002년05월23일

(21) 출원번호 10 - 2000 - 0068050  
(22) 출원일자 2000년11월16일

(71) 출원인 삼성전자 주식회사  
윤종용  
경기 수원시 팔달구 매탄3동 416

(72) 발명자 최창환  
경기도의왕시오전동838 - 3국화아파트101 - 807

(74) 대리인 박상수

심사청구 : 있음

(54) 2계위 망동기의 발진기 교정 주기 감소 방법

요약

본 발명은 발진기의 자연 주파수를 조정하는 교정 주기를 PLL 반응속도를 고려한 상태에서 최대한 늘려 가장 효율적인 이득값을 선택하여 발진기 출력을 조정함으로써, 발진기 교정주기를 늘려주어 망의 운용을 원활하게 할 수 있도록 하는 2계위 망동기의 발진기 교정 주기 감소 방법을 제공하기 위한 것으로서, 2계위 망동기 시스템의 위상비교 출력값을 이용한 발진기 출력 제어 PLL(Phase Locked - Loop) 조정 알고리즘에 있어서, PLL 이득을 패스트 모드(Fast mode) 및 노멀 모드(Normal mode) 별로 각각 1/4로 감소시켜 발진기 출력을 조정하도록 설정되어 즉 PLL 이득값은 8초간 위상 출력값이 1개일 때 패스트 모드(Fast mode)에서  $\pm 32$ 이고, 노멀 모드(Normal mode)에서  $\pm 16$ 으로 설정되어 저, 2계위 망동기 장치에 사용되는 발진기의 교정주기를 1년이상으로 연장할 수 있어 운용자가 망을 운용함에 있어 편리하게 해주는 효과가 있고, 교정주기를 놓칠 확률이 적어지므로 망을 안정되게 운용할 후 있는 효과가 있다.

대표도  
도 1

색인어  
발진기, 교정주기, 노화, 2계위 망동기

명세서

## 도면의 간단한 설명

도 1은 본 발명을 구현하기 위한 PLL 처리절차에 관한 구성도,

도 2는 본 발명에 사용되는 발진기의 특성에 관한 그래프,

도 3은 본 발명에 따라 구현된 PLL 알고리즘을 이용한 발진기 노화에 관한 그래프.

\* 도면의 주요부분에 대한 부호의 설명 \*

1 : 위상 비교기 2 : 프로세서

3 : D/A 컨버터 4 : 발진기

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 2계위 망동기의 발진기 출력방법에 관한 것으로서, 더욱 상세하게는 PLL 알고리즘의 이득값을 1/4로 줄여 발진기 반응시간이 느려지게 설계하여 발진기의 교정주기를 1년 이상으로 연장하기 위한 2계위 망동기의 발진기 교정 주기 감소 방법에 관한 것이다.

일반적으로 2 계위 망시스템에서 발진기의 기준 클럭은 시스템에 큰 영향을 미치는 요소로서, 발진기의 기준 클럭을 유효 범위로 설정하기 위해 시스템 내부에 PLL(Phase Locked - Loop) 블록을 구비하여 기준 클럭이 제어 가능한 범위 내에서 설정될 수 있도록 이득(게인 : gain) 제어를 수행하여 준다.

그러나 이러한 PLL 이득 제어에 있어서, 발진기의 노화 특성 등의 요인으로 인해 비선형적인 발진 특성이 나타나게 되어 발진기 교정 작업은 필수적으로 수반되어야 할 일로서, 교정주기가 현재 3~4 개월로 너무 짧아서 전체 시스템의 불안요소가 되고 있다.

좀 더 상세히 설명하면, 위상오차에 대해 이상적인 값만큼 계속해서 PLL에 출력변화를 가하면 역으로 위상 오차에 민감한 출력을 발생시켜 오히려 출력이 흐트러질 수 있고, 완전한 동기를 이루지 못하게 된다.

그리고 불연속적인 위상 오차의 발생 자체가 비선형적으로 이루어지고 있기 때문에 PLL 출력변화를 효율적으로 설정하기 어렵다.

따라서 실제 망동기 장치의 PLL 알고리즘에서는 오차에 대한 보상을 함에 있어서, 장기간 누적되는 효과를 볼 수 있도록 이상적인 값보다 훨씬 작은 값으로 PLL 출력을 보상하여 준다.

하지만 이렇게 동기가 되어 패스트 모드(Fast mode)에서 노멀 모드(Normal mode)로 진입했다 하더라도 위상 오차 데이터는 끊임없이 생겨나서 PLL 출력은 그에 따라 변화가 발생하게 된다. 이러한 오차는 외부 레퍼런스에 포함된 지터나 윈더 등 불안정 요소 때문에 발생하는 것으로서, 많은 부분은 오실레이터의 아날로그적인 비선형 특성(특히 노화)에 기인한 것이다.

이러한 발진기 노화 특성 등에 따른 비선형적 원인을 극복하기 위해 주기적으로 발진기의 주파수를 낮춰줘야 하는데, 종래에는 프로세서에서 누적 위상 비교 결과값에 따라 패스트 모드일때는 빠르게(Roughly) 조정하기 위해 이득을 12, 노멀 모드일때는 좀 더 미세하게 조정하기 위해 64로 주었다.

그러나 상기와 같은 이득값에 따라 발진기 출력을 조정하게 되면, 이득값의 폭이 커서 오히려 과보상하게 되는 문제점이 있고, 반대로 이를 극복하기 위해 이득을 1로 주어 조정하게 되면 PLL의 반응속도가 너무 느려져 위상 비교기에서 더 많은 오차를 발생하게 되는 문제점이 있다.

#### 발명이 이루고자 하는 기술적 과제

따라서 본 발명은 발진기의 자연 주파수를 조정하는 교정 주기를 PLL 반응속도를 고려한 상태에서 최대한 늘려 가장 효율적인 이득값을 선택하여 발진기 출력을 조정함으로써, 발진기 교정주기를 늘려주어 망의 운용을 원활하게 할 수 있도록 하는 2계위 망동기의 발진기 교정 주기 감소 방법을 제공하는데 그 목적이 있다.

#### 발명의 구성 및 작용

상기의 목적을 달성하기 위한 기술적인 수단으로서 본 발명은 2계위 망동기 시스템의 위상비교 출력값을 이용한 발진기 출력 제어 PLL(Phase Locked - Loop) 조정 알고리즘에 있어서, PLL 이득을 패스트 모드(Fast mode) 및 노멀 모드(Normal mode) 별로 각각 1/4로 감소시켜 발진기 출력을 조정하도록 설정되며, 상기 PLL 이득값은 8초간 위상 출력값이 1개일 때 패스트 모드(Fast mode)에서  $\pm 32$ 이고, 노멀 모드(Normal mode)에서  $\pm 16$ 으로 설정되는 특징이 있다.

이하, 첨부된 도면을 참조하여 본 발명을 보다 상세히 설명한다.

도 1은 본 발명을 구현하기 위한 PLL 처리절차에 관한 구성도이고, 도 2는 본 발명에 사용되는 발진기의 특성에 관한 그래프이고, 도 3은 본 발명에 따라 구현된 PLL 알고리즘을 이용한 발진기 노화 곡선에 관한 그래프이다.

도 2에 도시된 바와 같이, 발진기는 DACW값이 0000(H) (헥사코드값) ~ FFFF(H)인 범위에서  $32768000 + 0.524288 \text{ Hz}$  ~  $32768000 - 0.524288 \text{ Hz}$ 의 네가티브 특성을 갖는데, 선형적으로 움직이지만 실제적으로 비선형적인 발진 특성을 보이고 있다.

도 1에 도시된 본 발명을 구현하기 위한 망동기 장치중 PLL 처리블록은 외부 레퍼런스(4KHz)에 발진기(4)의 출력(시스템 클럭)을 동기시키기 위해 250  $\mu\text{s}$ 마다 위상 비교기(1)의 결과를 메모리에 저장하고, 128ms마다 프로세서(2)에서 데이터를 읽어 8.192초 조정된 이득값에 따라 D/A 컨버터(3)로 입력하면, D/A 컨버터(3)는 입력 데이터(0~65536)에 해당하는 아날로그 출력(-5V ~ +5V) 값을 발진기(4)에 인가하므로써 발진기의 출력을  $32.768 \text{ MHz} \pm 0.524288$ 로 제어하게 된다.

이때 프로세서(2)는 초기에 패스트 모드에서 동작후 외부 레퍼런스에 발진기(4)의 출력을 동기시키고 나면 노멀 모드로 운용하고, 외부 레퍼런스에 오류가 없는 한 계속 노멀 모드로 운용하면서 위상 비교기(1) 출력값에 의해 약간씩 DACW값을 변경시키면서 동기를 유지한다.

이때 패스트 모드는 망동기 장치가 외부 레퍼런스를 빠르게 추적하기 위한 과정이고, 노멀 모드는 패스트 모드에서 추적된 범위가 정의된 범위내에 들어오면 외부 레퍼런스를 미세하게 추적하기 위한 모드를 뜻한다.

그리고 만약 8초간 위상 비교 출력값이 1개가 되면, 설정된 PLL 이득에 의해 종래에는 64만큼씩 DACW를 증감하였지만 본 발명에서는 16만큼 증감한다. 이것은 현장에서 이득이 64인 경우 DACW값이 급변하게 되어 오히려 과보상되는 문제가 있었기 때문이다.

그 이유를 상세히 살펴보면, 실제적 곡선을 고려하면 64만큼의 이득을 추가하였을때 발진기의 출력은 낮아진다고 판단되지만 도 2에 도시된 바와 같이, 그 보상값이 적정값이 아니고 과보상되면 실제 출력은 낮아지지 않고 오히려 높아지기 때문이다.

따라서 본 발명은 노멀 상태에서의 이득값이 16으로 설정되어 과보상을 피해가도록 설계된 것이다.

물론 과보상을 피하기 위해서는 이득을 1로 설정하는 것이 가장 이상적이지만, 이렇게 설계할 경우 PLL의 반응속도가 지나치게 느리게 되어 위상 비교기(1)에서 더 많은 오차가 발생할 수 있기 때문에 종전의 64로 설정된 이득값에서 가장 적정하다고 판단되는 1/4인 16으로 설정한 것이다.

이렇게 이득값이 1/4로 감소되어 PLL이 처리되면, 실제로 발진기의 변화는 패스트 모드에서 종전의  $\pm 0.002048\text{Hz}$  보다 더 작은  $\pm 0.000512\text{Hz}$ 가 되며, 노멀모드에서는 종전의  $\pm 0.001024\text{Hz}$  보다 더 작은  $\pm 0.000256\text{Hz}$ 가 된다.

따라서 PLL 반응시간이 2배 늦추어 지는 것이다.

이렇게 설계된 PLL 알고리즘에 따라 실제로 적용하여 시스템을 운영한 결과는 도 3에 도시된 바와 같이 약 두달간 14 20(H) (즉 5152) 만큼의 노화가 있음을 알 수 있다. 도 3의 그래프에서 곡선의 각점은 각각 하루를 의미한다.

도 3의 그래프를 참조하여 상세히 설명하면, 두달간 노화가 5152 정도 진행된 점에 착안하여, 노화 폭을 두달간 크게 산정하여 6144(1800:H)값으로 하더라도 안전범위 57343(DFFF:H)를 벗어나기까지는 8개월이 걸리므로 적어도 3 ~4개월 교정주기를 8개월 까지 연장할 수 있다.

또한 초기 세팅을 센터인 32767(7FFF:H)에서 시작하지 않고 20479(4FFF:H) 정도에서 세팅한다면 교정주기는 1년 이상으로 늘어날 수 있다.

본 발명은 상술한 특정의 바람직한 실시예에 한정되지 아니하며, 청구범위에 기재된 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형 실시가 가능한 것임은 물론이고 그와 같은 변경은 본 발명의 권리범위에 속함은 물론이다.

#### 발명의 효과

상술한 바와 같이 본 발명에 의하면, 2계위 망동기 장치에 사용되는 발진기의 교정주기를 1년이상으로 연장할 수 있어 운용자가 망을 운용함에 있어 편리하게 해주는 효과가 있고, 교정주기를 놓칠 확률이 적어지므로 망을 안정되게 운용할 수 있는 효과가 있다.

#### (57) 청구의 범위

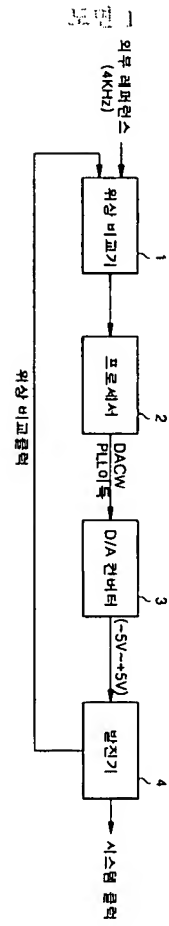
##### 청구항 1.

2계위 망동기 시스템의 위상비교 출력값을 이용한 발진기 출력 제어 PLL(Phase Locked - Loop) 조정 알고리즘에 있어서,

PLL 이득을 패스트 모드(Fast mode) 및 노멀 모드(Normal mode) 별로 각각 1/4로 감소시켜 발진기 출력을 조정하도록 설정되는 것을 특징으로 하는 2계위 망동기의 발진기 교정 주기 감소 방법.

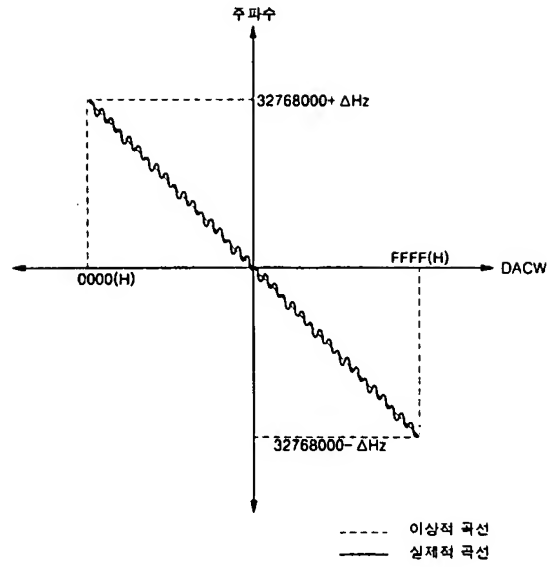
##### 청구항 2.

제 1 항에 있어서, 상기 PLL 이득값은 8초간 위상 출력값이 1개일 때 패스트 모드(Fast mode)에서  $\pm 32$ 이고, 노멀 모드(Normal mode)에서  $\pm 16$ 으로 설정하는 것을 특징으로 하는 2계위 망동기의 발진기 교정 주기 감소 방법.



도 1

도면 2





도면 3

